

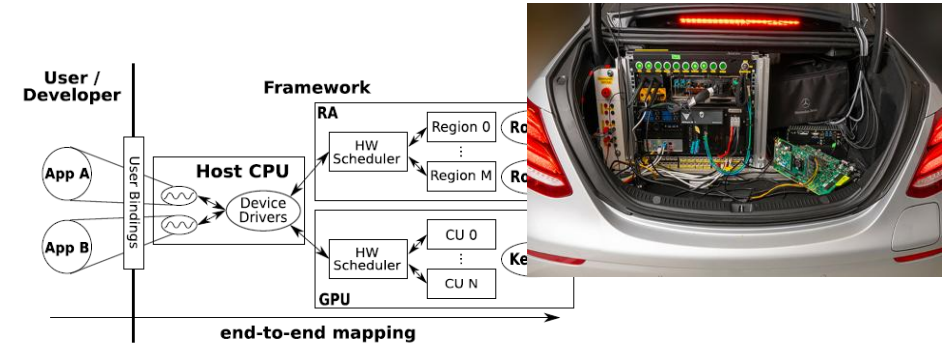
Technische Fakultät Lehrstuhl für Informatik 3 (Rechnerarchitektur)

Prof. Dr.-Ing. Dietmar Fey



HERA Toolchain

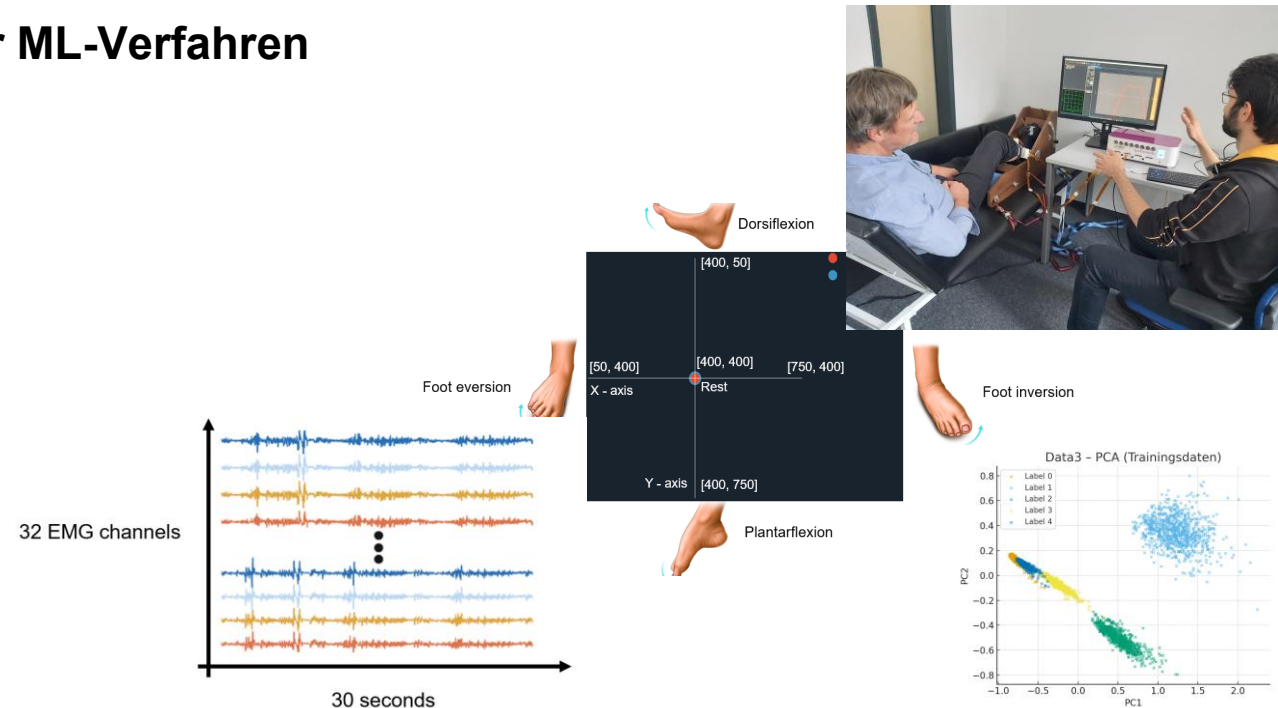
- Automatische Abbildung OpenCL-/Python in FPGAs
- [KI-gestützte Auswertung](#) heterogener Sensordaten ([BMBF-Projekt KI-Flex](#))



Embedded AI – Implementierung Ki-Beschleuniger ML-Verfahren

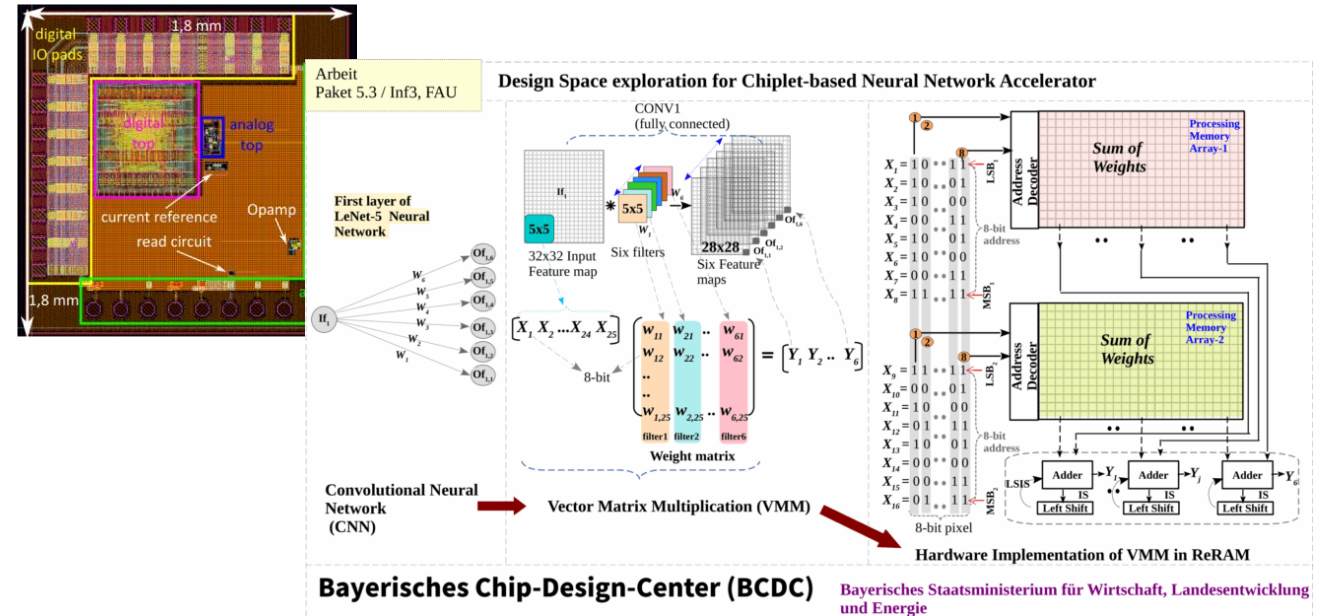
in FPGAs für Fuß-Orthesen ([BMBF-Projekt NOE-EMY](#))

- Generell erweiterbar für Robotik-Applikationen
- Vorhandene Lösungen für gängige ML-Verfahren (Hyperdimensional Computing, CatBoost, LGD)
- Beschleuniger-Architekturen, Soft-IP mit RISC-V in FPGAs oder ASICs
- ML-Verfahren einsetzbar auch für kognitive Aufgaben in Controllern in der Robotik



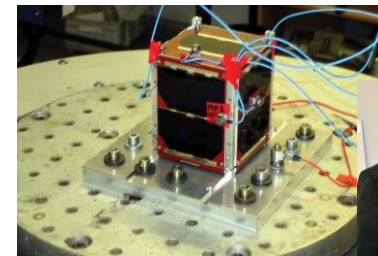
In-memory Computing

- Einsatz nicht-flüchtiger Speichertechnologien, ReRAMs, für Energie-effiziente KI-Beschleuniger
- Projekte in [LO³-ML](#) und [HYB-RISC](#) und [BCDC](#)
- Energieeinsparung bis über 90% im Best case - 1. Platz im [Pilotinnovationswettbewerb](#) „Energieeffiziente KI-Prozessoren“



FORnanoSatellites

- Nano-Satelliten für Umwelt-Überwachung, Wetter, Avionik
- auch für Verteidigung
- Technologie-Souveränität
- Inf3: Design eines neuen OBC auf RISC-V-Basis

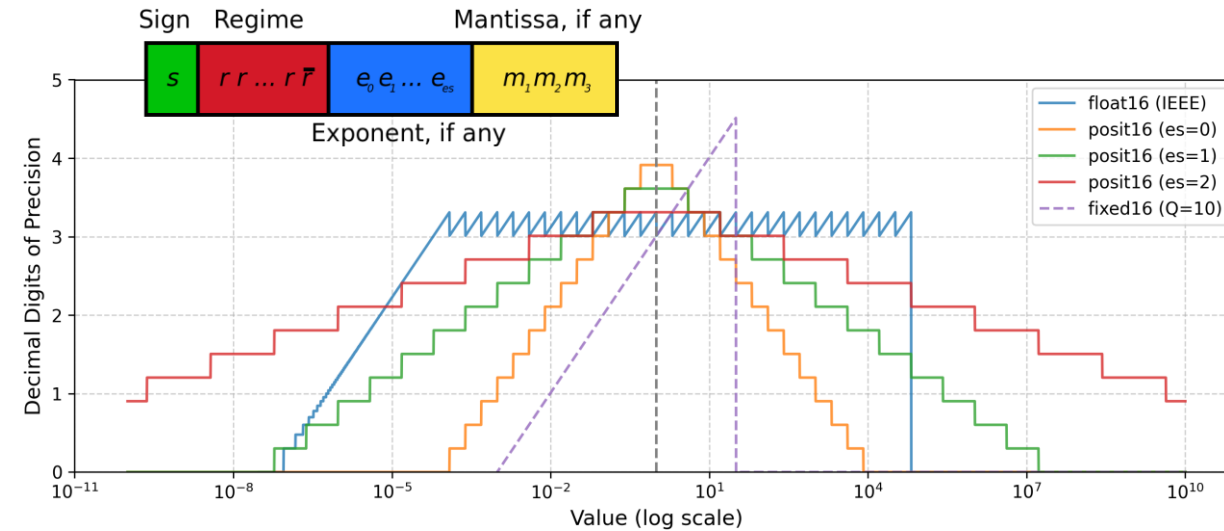


FORnanoSatellites



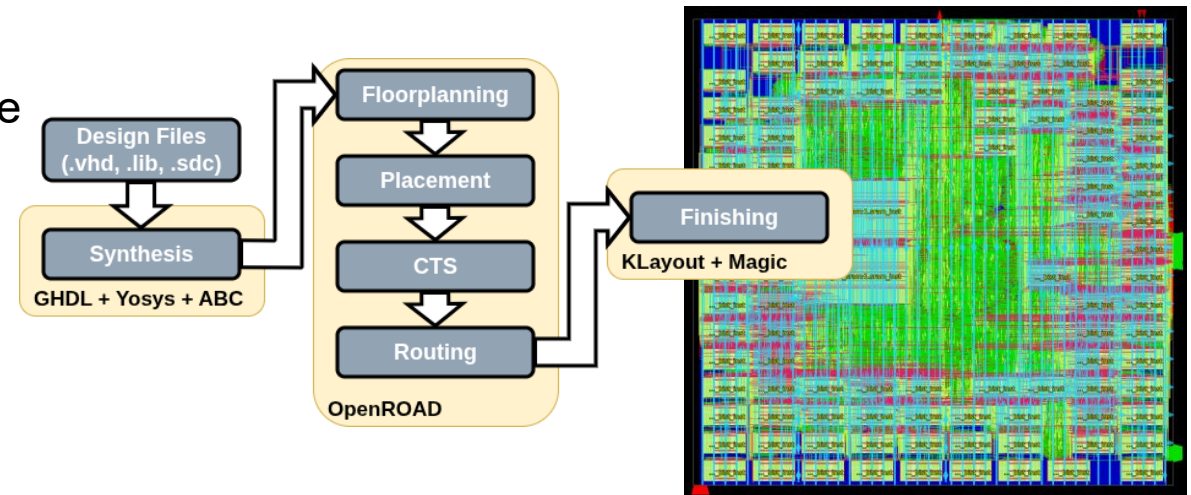
Posit Arithmetic

- Ersatz für IEEE Gleitkommazahlen
- Verringerung der Bitbreite um Speicherbandbreite zu sparen
- Oder: selbe Bitbreite für erhöhte Rechengenauigkeit
- Verwendung in Beschleunigern und in GP-Hardware



Chip-/Chiplet Design mit Open Source Tools

- Open Source EDA Tools als kostengünstige & skalierbare Alternative zu kommerziellen Tools
- Entwicklung standardkonformer Chiplet-Interfaces
- Weiterentwicklung der Tools im Mixed-Signal Bereich
- High-Level-Synthesis für Beschleuniger-Chiplets



LiDAR & RADAR Signalverarbeitung

- Optimierung der Verarbeitungskette auf FPGAs und GPUs
- FMCW und SAR Techniken
- Projekte [ECAS](#) und [POV.OS](#)

